

智能芯片与设计自动化实验室 (北邮 EDA 团队)

北京邮电大学

2026.06

主要内容

CONTENTS



团队介绍



研究内容



招生对象



毕业去向

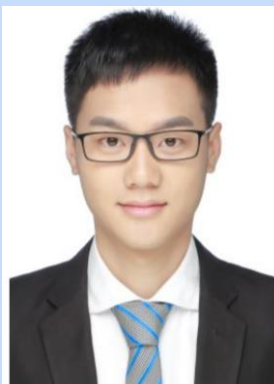
1.1 团队介绍

团队教师



赵康

- 拔尖人才教授，博/硕导，**团队负责人**
- **国家级高层次人才计划获得者**
- 北京市高端领军人才研究员
- 主持**国家重点研发**、国防科技、国自然等项目
- 曾任**AMD/Xilinx北京研发中心主任**，主导Vitis HLS综合产品团队
- 曾任**英特尔**中国研究院高级研究员、**清华大学**计算机系助理研究员、**早稻田大学**访问学者
- 牵头获得**中国发明协会发明创业奖一等奖**
- 近五年发表论文30余篇，获DAC最佳论文候选
- **研究方向：体系结构、编译优化、电子设计自动化等**



翟建旺

- **副教授，硕导**
- 主持国防科技、国自然、北自然等项目，参与国家重点研发、国自然重点等项目
- 在TCAD、TCAS-I/II、DAC、ICCAD、ICLR等发表论文50余篇，第一/通讯作者30余篇
- 荣获**ICCAD'21 最佳论文奖**、ASPDAC'23及GLSVLSI'25最佳论文奖提名、DAC'25最佳论文候选、**EDA2 最佳博士论文奖**等
- 指导学生获得全国性专业赛事**荣誉30余项**，以及**北自然本科生“启研”计划项目5项**
- **研究方向：人工智能辅助电子设计自动化**

交叉合作



计算机院



计算机院



人工智能院

北邮校内合作



外部合作

1.2 团队方向

AI芯片及软件栈

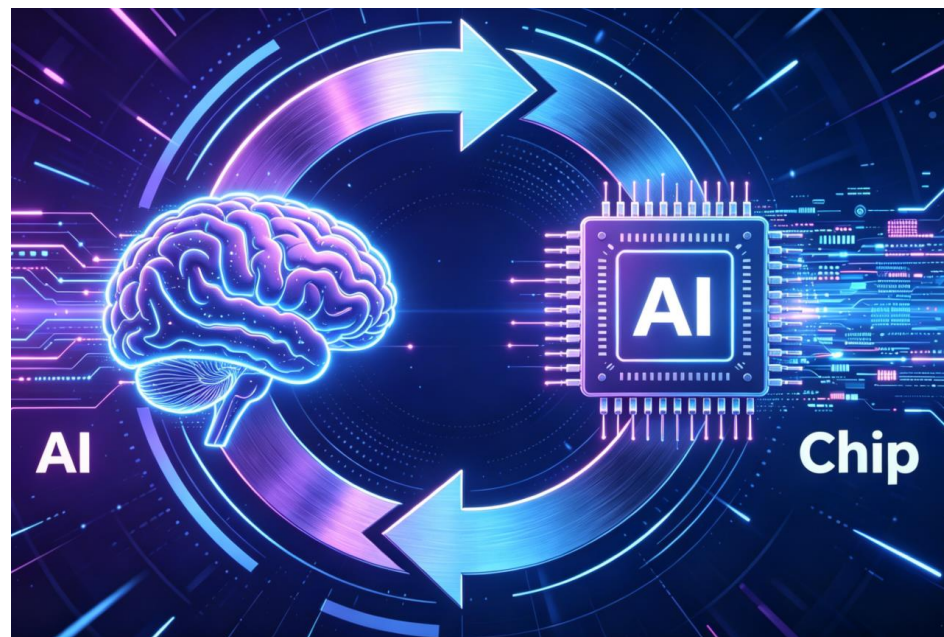
- AI芯片及异构加速器敏捷设计
- LLM Agent驱动的 RTL 设计与仿真验证
- 面向AI芯片的编译器/算子库/软件栈 (AI infra)

智能EDA工具链

- 芯片设计空间智能探索
- 高层次与逻辑综合
- 物理设计验证 (布图/布局EMIR等)
- LLM Agent驱动的EDA工具链

2.5D/3D集成芯片

- 异构集成架构建模仿真与设计优化
- 2.5D/3D设计方法与EDA工具



主要解决：

“怎么利用AI更好地设计芯片”

“怎么面向AI更好地利用芯片”

1.3 团队学生

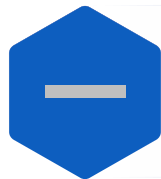
- 截止目前，团队共有博士生 9 人、硕士生 37 人 (26届毕业生3人)；
- 主要生源：北京邮电大学、清华大学、天津大学、西安电子科技大学等**双一流高校 (87%)**；
- 专业分布：**70% 为计算机类专业**；30% 为电子类专业；
- 保研/考研：**78% 为保研**，22% 为考研。

年份	学校	人数	专业
2023级 (共4人)	西安电子科技大学	1	计算机科学与技术
	北京科技大学	1	计算机科学与技术
	北京工业大学	1	软件工程 (实验班)
	大连海事大学	1	电子信息工程
	北方工业大学	1	电子信息工程
2024级 (共13人)	北京邮电大学	5	计、电子、理、数媒
	天津大学	1	电子信息工程
	西安电子科技大学	3	计算机、软工、信安
	北京科技大学	1	计算机科学与技术
	河北工业大学	1	物联网工程
	西南交通大学	1	计算机科学与技术
	杭州电子科技大学	1	计算机科学与技术

年份	学校	人数	专业
2025级 (共15人)	北京邮电大学	6	计×3、信息×2、邮政
	天津大学	1	电子科学与技术
	武汉理工、中石油、北工大、华南师范、南邮	5	计×3、信息、集成
	北信科、长春理工、河北师范	3	计算机×2、软件
2026级 (共13人)	北京邮电大学	4	计元、计、AI、通
	清华大学	1	数学
	武汉理工、中石油、华南师范	3	计、软、电子信息
	南邮、公安大学、宁波大学	4	计、网安、集成
	中北大学	1	电子信息工程

主要内容

CONTENTS



团队介绍



研究内容



主要工作

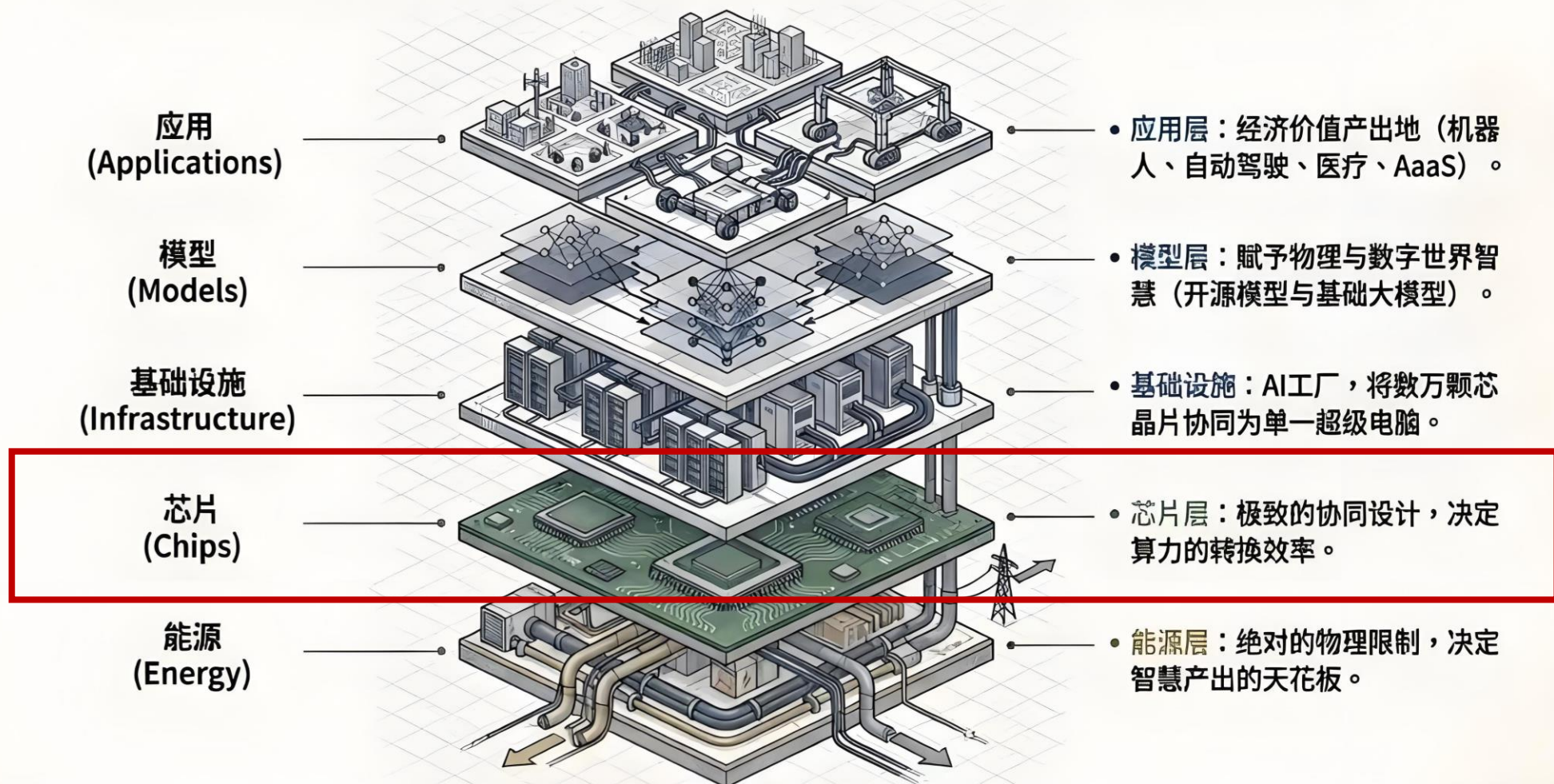


总结展望

2.1 AI产业蛋糕

AI产业的「五层蛋糕」立体底层逻辑

AI不再是单一软件，而是如同电力与网络般的新一代基础设施。这五层架构彼此牵制，也相互强化。



2.2 芯片发展趋势

华为“ τ 定律”

不是只靠更先进制程，而是想办法让整个系统“更省时间”

1 核心思想：从“拼纳米”转向“拼时间”

以前芯片进步，主要靠把晶体管做得更小。
现在华为提出：真正重要的是让信号、数据、计算在整个系统里跑得更快，也就是把时间常数 τ 压缩得更小。

过去 看谁更小：3nm、2nm、1.xnm

现在 看谁更快：开关更快、传输更快、访问更快、系统响应更快

一句话：以前主要缩“尺寸”，现在更强调缩“时间”。

2 为什么会有这个新思路？

1. 制程继续往下走，越来越难、越来越贵

2. 先进光刻不是谁都能轻松拿到

3. 很多瓶颈已经不在晶体管本身，而在布线、内存、通信和功耗

所以：不能只靠“更小”，要靠“整体重构”。

3 例子 1：手机芯片怎么变快？——LogicFolding

传统平面芯片 vs LogicFolding 立体折叠芯片

线更短 → 延迟更低 → 频率更高 → 更省电

把电路搬到上下多层，像平房变楼房，路线更短

好理解版：不换新先进工艺，也能靠“立体盖楼”让芯片更强。

晶体管密度	+55%
能效	+41%
最高频率	+13%
SRAM 频率	+40%+

4 例子 2：AI 服务器为什么也能受益？

AI 最大问题往往不是算得不够快，而是数据搬来搬去太慢、太耗电。

A Unified Bus 让更多芯片像在用同一套内存，减少层层协议转换。远程访问延迟：几十纳秒 → 约100纳秒，约500倍更快。

B Hi-ONE 光互联 高速连接不再全靠铜线，改用更适合超宽带的光互联。单模块带宽：8 Tb/s

C 3D Folding 传统封装（边缘放置） vs 立体折叠封装（表面堆叠）。把原本挤在边缘的内存、供电、I/O 搬到立体表面，让算力和带宽一起长。

核心目标就一个：让数据少走弯路。

5 这意味着什么？

1. 先进制程依然重要，但不再是唯一答案

2. 先进封装、3D 堆叠、HBM、光互联会更重要

3. 未来比的不只是单颗芯片，而是整套系统协同能力

4. 谁能把“计算、内存、通信、封装”一起做好，谁更有优势

贯穿器件、电路、芯片到系统层面的多层次协同优化，实现“时间缩微”

A Time Scaling Theory for Multi-Layer Electronic Systems

作者：Tingbo He¹

作者单位：1. Huawei

提交时间：2026-05-25 09:56:20

摘要： For six decades, Moore's geometric scaling drove progress in semiconductors. That industry compact no longer holds: returns from pure dimensional shrinking have flattened, leading-edge design budgets exceed one billion dollars per chip, and cost-per-transistor at the most advanced nodes is no longer falling. This perspective argues for a successor scaling principle — τ scaling — that adopts time itself, rather than transistor area, as the primary metric of progress, applying a single characteristic time constant τ as the unifying optimization target across twelve orders of magnitude, from a switching transistor to a data-center workload. Two production-scale demonstrations are presented. On a mobile SoC, LogicFolding — a methodology that partitions digital, analog, and memory circuits across vertically stacked active tiers — delivers a 55% step-wise increase in transistor density and a 41% power-efficiency gain at a fixed device node. On AI systems, a co-designed stack comprising the memory-semantic Unified Bus fabric, near-packaged Hi-ONE optical I/O, and edge-to-surface 3D Folding projects more than 100x growth in hardware integration by 2035. The deeper claim is methodological: τ scaling is the first scaling principle since Dennard to establish a shared optimization target across the entire computing stack.

Time Scaling τ scaling LogicFolding Semiconductor Electronic systems New semiconductor path

来自：何庭波

分类：电子与通信技术 >> 半导体技术

投稿状态：已被会议呈现

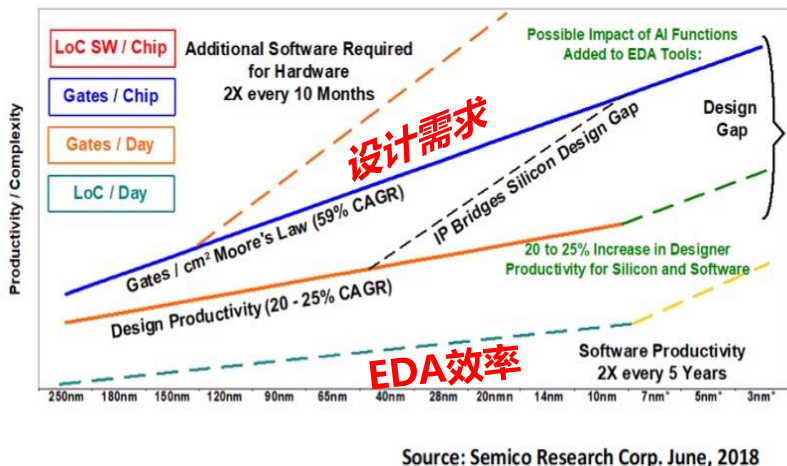
引用：ChinaXiv:202605.00224 (或此版本 ChinaXiv:202605.00224V1)

2.3 挑战与趋势

集成电路逼近物理极限，百亿晶体管设计复杂度指数级增长

“规模爆炸增长”

Projected Productivity Improvements Through Use of AI in EDA Tools

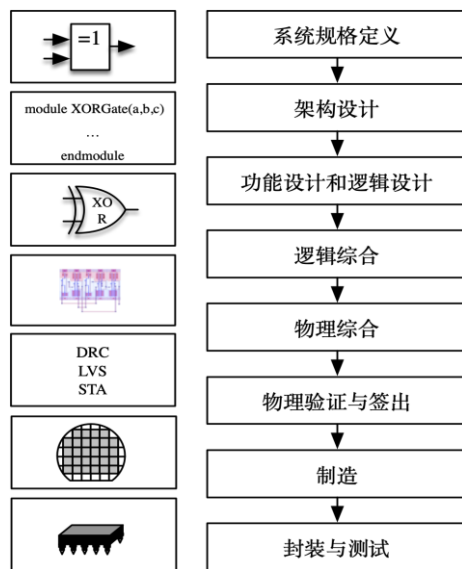


*Note: Further explanation of the graph above is provided in Semico's report *Silicon and Software Design Costs* (SC103-18).

(a) 集成电路及EDA生产力趋势

- 芯片规模10年增长50倍
- EDA能力与设计需求差距极大

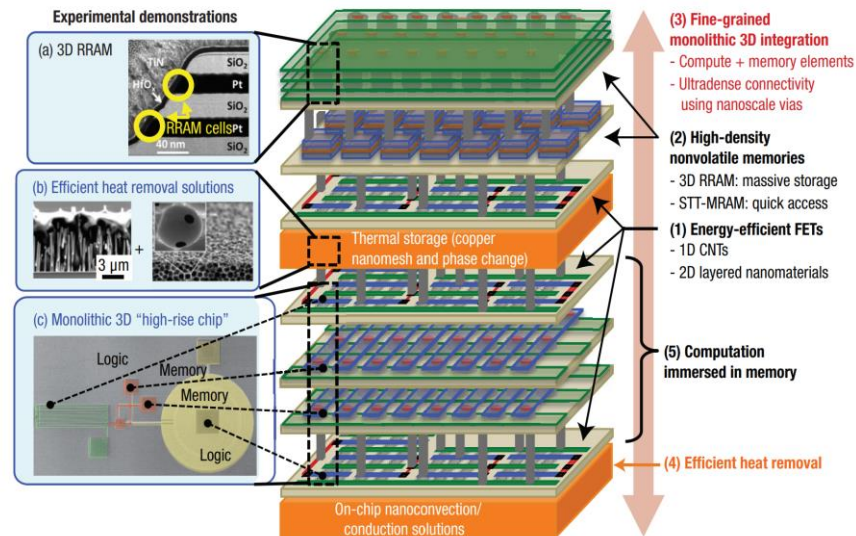
“流程分立冗长”



(b) 层次化单向设计流程

- 串行分立流程、信息难以流通
- 开发效率受限，陷入局部优化

“全新设计需求”



(c) 新型3D堆叠电路

- 新架构、新器件、新需求
- 传统流程面临失效风险

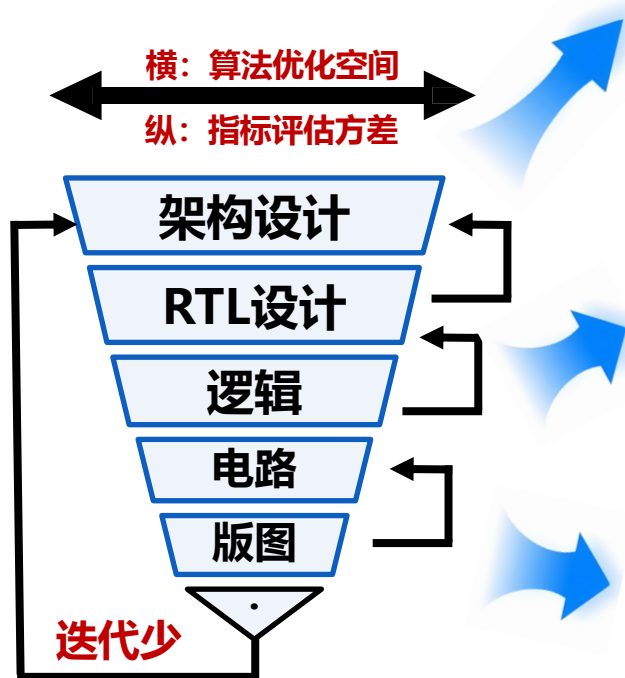
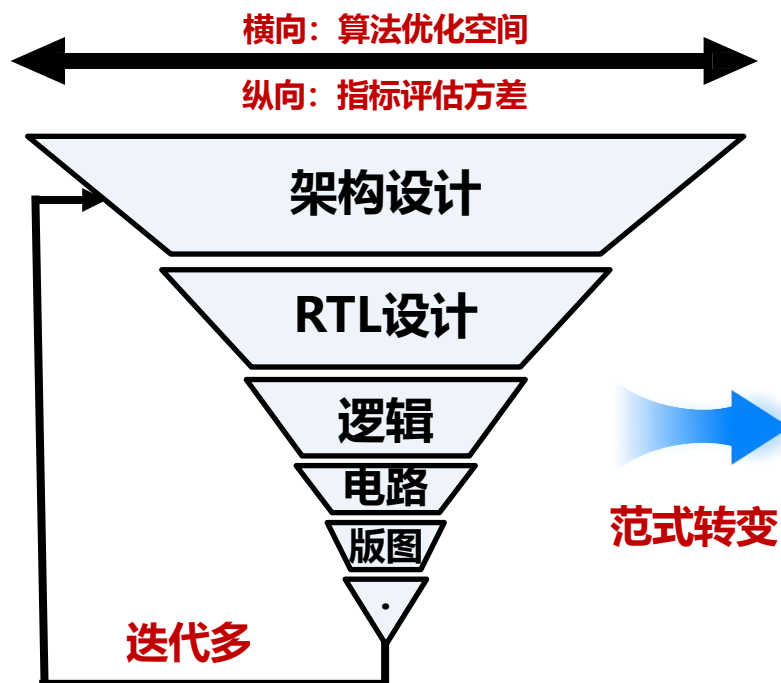
「困境」：芯片设计发展面临瓶颈，亟需方法革新，重塑设计范式

2.4 研究思路

研究思路

Chip4AI: 利用AI芯片与AI Infra推动大规模AI落地应用

AI4Chip: 利用AI技术实现大规模芯片的智能设计与优化



问题1：AI芯片设计与应用困难

方向1：AI芯片与软件栈

AI加速器

智能设计验证

AI Infra

问题2：传统EDA工具效率墙

方向2：智能EDA工具链

设计探索

综合优化

物理设计

问题3：异构集成芯片设计工具缺失

方向3：2.5D/3D集成芯片

异构架构

建模/探索

设计方法

「破局」：利用AI技术实现AI芯片高效率、高质量设计与应用

2.5 科研成果

- 发表TCAD、TCAS-I/II、DAC、ICLR、AAAI等CCF/SCI/EI论文 **50余篇**，年均20余篇；
- 实现北邮在 **EDA 领域顶刊顶会的全面突破**，荣获**四大顶会其中之三的最佳论文奖/提名/候选**；
- 申请发明专利 **近20项**，其中已**授权专利 10余项**；
- 技术成果落地头部企业，牵头荣获**中国发明协会发明创新创业奖一等奖**。

类型	名称	数量
期刊	TCAD	3
	TCAS-I、TCAS-II	2
	TRETS、TODAES、TVLSI	6
	J-CRAD	1
会议	DAC、ICLR、AAAI	9
	ICCAD、DATE	10
	ASP-DAC、ISPD	7
	GLSVLSI、ISCAS	8
	ISED、ICICM	5



主要内容

CONTENTS



团队介绍



研究内容



招生对象



毕业去向

3.1 招生专业

主要专业

计算机

人工智能

电子信息

集成电路

技术栈

- 计算机体系架构
- 编译优化
- AI 及算法设计
- Coding能力

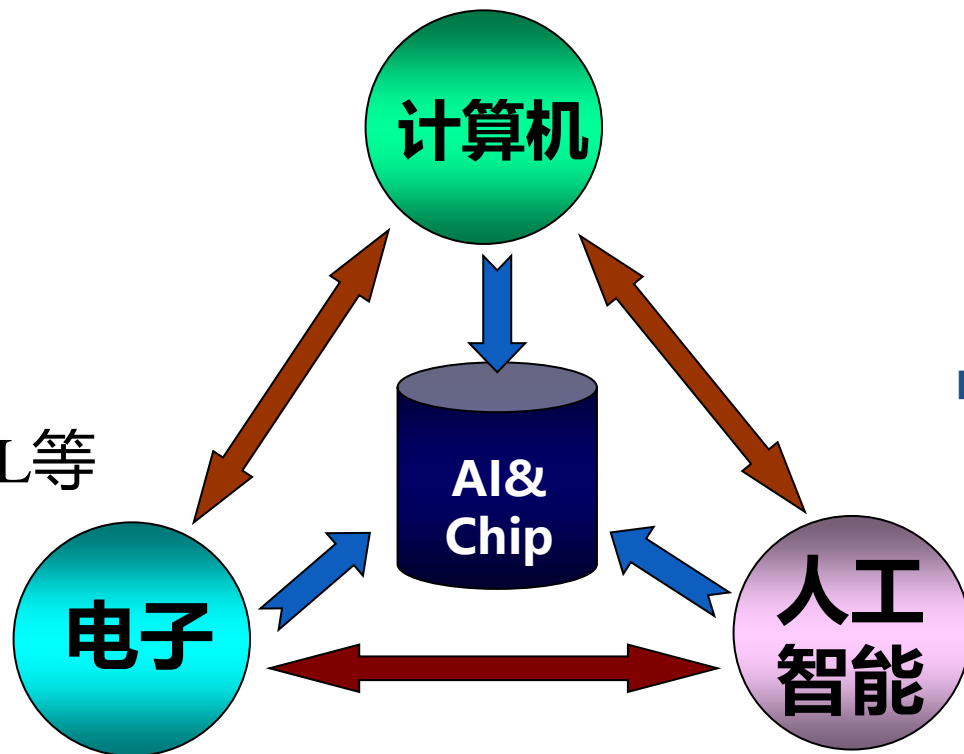
- 电路基础
- 数字芯片设计与验证
- EDA算法与工具链

3.2 基本技能

- **懂编程**：数据结构、C++、Python、算法设计与分析

- **了解电路**：数电、EDA、Verilog/VHDL等

- **了解AI**：机器学习、神经网络、LLM/Agnet



主要内容

CONTENTS



团队介绍



研究内容



招生对象



毕业去向

4.1 学生培养

- 团队研究生人均高水平论文，斩获**国家奖学金**、**优秀学位论文**、**优秀研究生/毕业生**等荣誉多项；
- 指导本科生获批**北自然启研项目 5 项**、**大创**多项；**一作论文10余篇**、**国际会议最佳论文提名**。
- 中国研究生创芯大赛·EDA精英挑战赛**菁英杯**、**全国大学生集创赛一等奖**等竞赛**荣誉 30 余项**；
- 荣获**北邮人工智能赋能未来教育标杆**、**教学成果一/二等奖**。

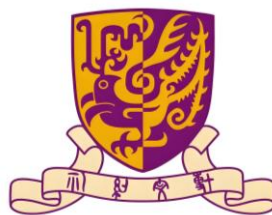
类型	赛事名称	获得荣誉
EDA精英挑战赛	2025年EDA精英挑战赛	全国总决赛 一等奖1项（赛题第一） 、 二等奖1项 、 三等奖1项 、 获评优秀指导教师、精心育人奖
	2024年EDA精英挑战赛	全国总决赛 菁英杯1项（赛题第一） 、 一等奖1项 、 三等奖1项 、 企业特别奖1项 、 学术进取奖2项 、 获评优秀指导教师
	2023年EDA精英挑战赛	全国总决赛 一等奖1项 、 三等奖1项 、 企业特别奖1项 、 获评优秀指导教师
其他竞赛	2025年全国大学生集创赛	全国总决赛 一等奖1项 、 三等奖1项 、 华北赛区一等奖2项 、 获评优秀指导教师
	2024年研究生创芯大赛	赛题专项 二等奖1项
	2025年芯粒大赛	决赛 二等奖1项
	2024年芯粒大赛	决赛 一等奖1项（赛题第一） 、 二等奖1项 、 三等奖1项
	2024年ICT大赛	总决赛 三等奖1项
	2025LLM4EDA大赛	决赛 一等奖（赛题第一）
	2025年“雨燕杯”创业大赛	总决赛 优秀奖



4.2 毕业去向

境内外继续深造

- 港中文、港科、UCLA、UCSD等
- 清华、北大、上交、复旦等
- 团队良好的科研产出有力支撑继续深造



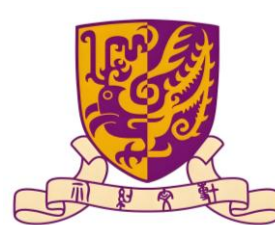
企业就业推荐

- 芯片类：华为海思、阿里、寒武纪等；
- EDA类：华大九天、合见工软等；
- AI及软件类：腾讯、字节、阿里等。
- 良好的软硬件交叉背景及项目经历。

4.3 往届学生

继续深造

- 2025届博士：港中文博士后 (共同指导)；
- 2026届硕士：本组、港科 (广州) 读博；
- 本科生：北大、上交、复旦、北邮等



企业就业

- 26届硕士：

华大九天、合见工软 (均有华为或互联网高薪offer)；阿里巴巴 (共同指导)；

- 27届硕士 (前往实习)：

腾讯、华为、原粒等 (AI infra)；字节、京东等 (算法/软件)；华大等 (EDA)



欢迎大家报名!

保研: 尽快联系! 7-8月份

联系方式: zhaokang@bupt.edu.cn
zhaijw@bupt.edu.cn

团队网站: <https://zhaokang-lab.github.io/>
<https://zhaijw18.github.io/>